

基于 **ARM Cortex-M4F** 处理器，内置高达 **256KB Flash** 存储器，集成多种定时器，**ADC**，高精度内置时钟及丰富的通信接口，**2.4V 至 5.5V** 工作电压

1 主要特点

- 处理器：100MHz 32bit Cortex-M4F，集成 FPU、MPU，支持 SIMD 指令 DSP，性能高达 125DMIPS
- TMU：三角函数加速器，支持 $\sin / \cos / \atan$ 等单精度浮点计算
- Flash 存储器：
 - 支持 1KB 指令 cache (0 等待时间)
 - 支持 512B 数据 cache (0 等待时间)
 - 总容量：256KB
 - 页容量：512B
 - 支持擦写保护
 - 支持程序加密
- RAM 存储器：32KB，支持奇偶校验
- 时钟系统：
 - 2 个 8MHz 内部 RC 时钟 ($-40^{\circ}\text{C} \sim 105^{\circ}\text{C}$ $\pm 1\%$ 精度)
 - 32kHz 内部低速时钟
 - 4MHz ~ 26MHz 外部晶振时钟
 - 100MHz 内部 PLL 高速时钟
- 电源管理系统：
 - 电源 VCC：2.4V ~ 5.5V
 - 上电 / 掉电复位 (POR / PDR)
 - 低电压检测 (LVD)
 - 多种功耗模式：运行/睡眠/深度睡眠/停止
- 运行温度范围： $-40^{\circ}\text{C} \sim 105^{\circ}\text{C}$
- DMA：8 通道
- 定时器 / 计数器：
 - 2 个 16 位高级定时器 (TIMA)，每个 TIMA 支持 3 对带死区的互补通道输出，支持刹车，支持输入捕获等功能
 - 3 个通用定时器 (TIMG)，每个 TIMG 支持 4 通道 PWM 输出，支持输入捕获，支持正交编码和霍尔传感器
 - 4 个 16 位简单定时器 (TIMS)，每个 TIMS 支持 1 通道 PMW 输出，支持输入捕获，支持同步触发
- 2 个 32 位基准定时器，各自可分成 2 个 16 位基准定时器
- 1 个 24 位可编程支持窗口模式看门狗
- 通讯接口：
 - 3 个 SCI：支持 UART、SPI 及简易 I²C (主模式)
 - 2 个标准 I²C：支持主从模式及高速 I²C
 - 1 个 SPI，支持 1 ~ 32bit 数据传输
- 硬件 CRC：CRC-32
- 2 个高速 ADC：
 - 2.4Msps 采样率及 12 位分辨率
 - 17 个外部通道和 4 个内部通道
- DAC：4 个 12 位分辨率 DAC
- CMP：4 个轨到轨输入输出模拟比较器
- 通用 I/O：
 - 支持上拉 / 下拉 / 开漏 / 驱动可配置
 - 最大支持 58 个 I/O
- 封装：LQFP-64、LQFP-48

2 典型应用

- 工业应用
- 家电控制
- 电机驱动和应用控制
- EV 充电基础设施
- 可再生能源存储
- 混合动力、电动和动力总成系统
- 交流逆变器和变频驱动器
- 工业电源

3 产品描述

KPM32R14TX 采用高性能 ARM Cortex-M4F 32 位处理器，最高频率达到 100MHz，支持 FPU、MPU，性能高达 250DMIPS，内嵌存储容量达到 256KB 高速 Flash 存储器，支持 1KB 的指令 cache 和 512B 数据 cache，可实现 CPU 的零等待时间运行；芯片集成专用高性能 TMU (三角函数加速器)，支持硬件 sin/cos/atan 等三角函数的浮点计算；内嵌 32KB SRAM 存储器，并且支持 SRAM 奇偶校验；芯片集成了丰富的 I/O 端口及多种功能外设。集成 2 个采样率高达 2.4Msps 的 12 位 ADC、2 个高精度 8MHz RC 时钟 (全温度范围内达到 $\pm 1\%$ 精度) 和 1 个 32kHz 低频 RC 时钟、1 个 100MHz PLL 高速时钟、4 个 DAC 和 CMP、2 个支持多通道互补输出的高级定时器 (TIMA)、3 个多通道 PWM 输出支持正交编码和霍尔传感器的通用定时器 (TIMG)、4 个单通道 PWM 输出的简单定时器 (TIMS)、1 个基准定时器，此外还包含多个标准通信接口：3 个 SCI (支持 UART / SPI / 简易 I²C)、2 个标准 I²C (支持主从模式和高速 I²C)、1 个标准 SPI。

KPM32R14TX 供电电压为 2.4V ~ 5.5V，覆盖 -40°C 至 +105°C 宽温度范围，提供多种省电模式保证低功耗应用的要求，具有高可靠性、高整合度和高抗干扰性。

KPM32R14TX 提供多种封装形式，可以应用在多种应用场合。

4 订购信息

订购型号 ⁽¹⁾	封装形式	环保等级	标识码
KPM32R14TTCKEG	LQFP-64	无卤	KPM32R14TTC
KPM32R14TTAKEG	LQFP-64	无卤	KPM32R14TTA
KPM32R14TPCKEG	LQFP-48	无卤	KPM32R14TPC
KPM32R14TPAKEG	LQFP-48	无卤	KPM32R14TPA

(1) KPM32 R 14T T C K E G

环保代码	G: 无卤
温度范围代码	E: 工业级, -40 ~ 105°C
封装代码	K: LQFP-64 / LQFP-48
存储容量代码	C: 256KB A: 128KB
管脚数量代码	T: 64PIN P: 48PIN
特定功能	14T: 高性能 M4F/100MHz
产品类别	R: 通用型 MCU
32 位 MCU	

4.1 订购型号及功能

订购型号	KPM32R14TTCKEG	KPM32R14TTAKEG	KPM32R14TPCKEG	KPM32R14TPAKEG
封装	LQFP-64		LQFP-48	
CPU	ARM CORTEX-M4F (100MHz)			
TMU	1			
FLASH	256KB	128KB	256KB	128KB
SRAM	32KB	16KB	32KB	16KB
指令 cache	1KB		1KB	
数据 cache	512B		512B	
GPIO	58		40	
DMA	8 通道		8 通道	
TIMH	1		1	
TIMA	2		2	
TIMG	2		2	
TIMS	4		3	
SCI	3		3	
I2C	2		2	
SPI	1		1	
ADC	12 通道		11 通道	
CMP	4		4	
DAC	4		4	

5 产品标记

KPM32R14TTC

标识码

XXXXXX

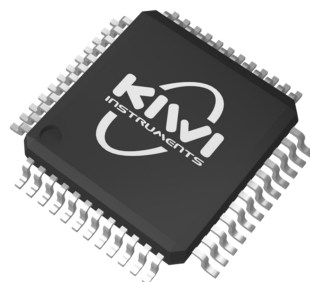
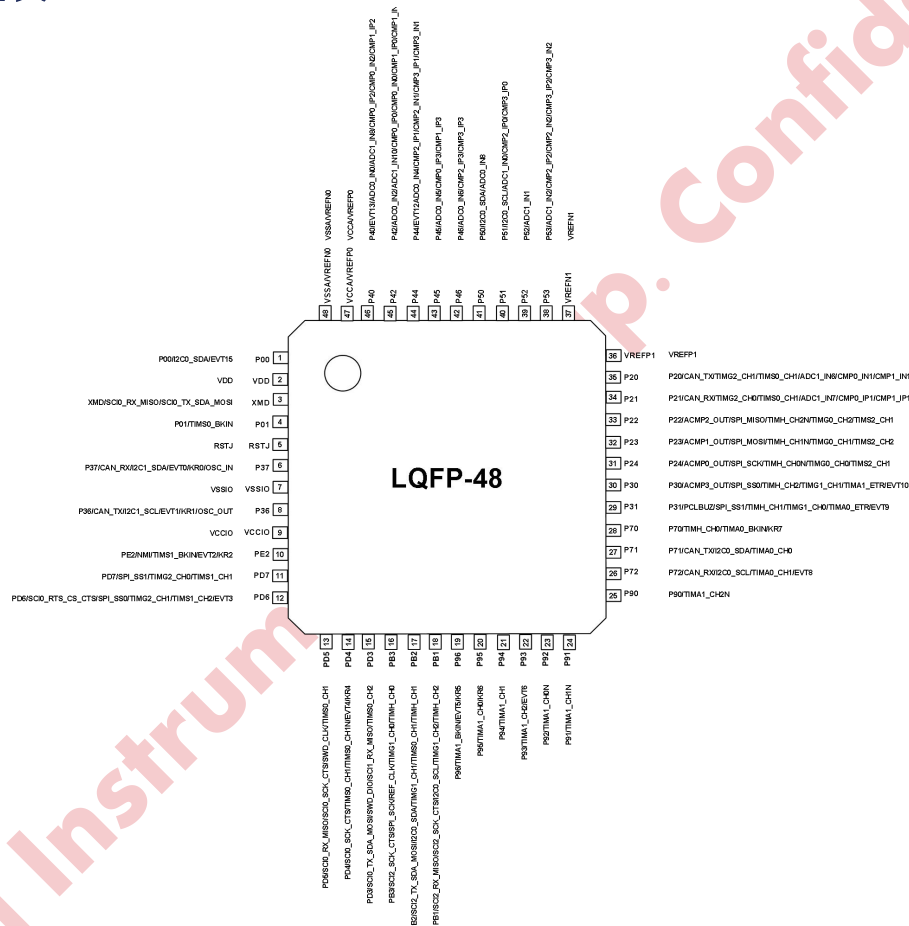
晶圆批次代码

YWWZZF

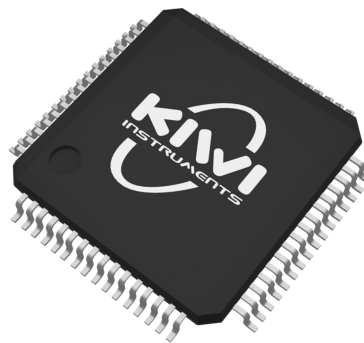
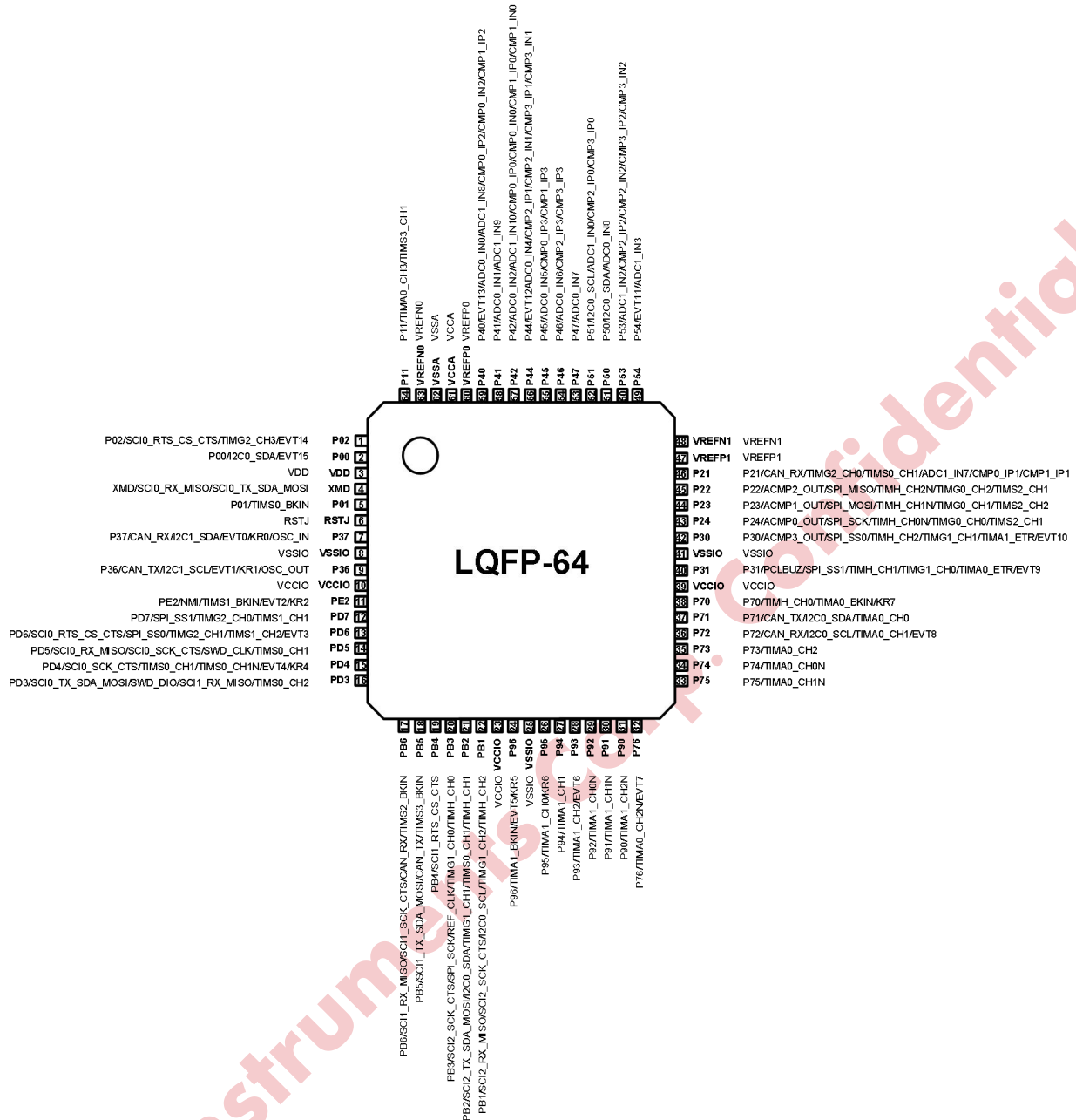
Y: 年份代码 WW: 周代码
ZZ: 流水码 F: 内控码⁽¹⁾

(1) 晶圆批次代码、年份代码、周代码、流水码、内控码实际内容为数字或字母

6 管脚定义



KPM32R14TPCKEG / KPM32R14TPAKEG



KPM32R14TTCKEG / KPM32R14TTAKEG

6.1 管脚功能描述

管脚 (LQFP-64)	管脚 (LQFP-48)	名称	类型 ⁽¹⁾	管脚功能	
				GPIO 组	模拟功能
1	-	P02	I/O	PA0	
2	1	P00	I/O	PA1	
3	2	VDD	S		
4	3	XMD	I/O	PA2	
5	4	P01	I/O	PA3	
6	5	RSTJ	NRST		
7	6	P37	I/O	PA6	OSC_IN
8	7	VSSIO	S		
9	8	P36	I/O	PA7	OSC_OUT
10	9	VCCIO	S		
11	10	PE2	I/O	PA8	
12	11	PD7	I/O	PA9	
13	12	PD6	I/O	PA10	
14	13	PD5	I/O	PA11	
15	14	PD4	I/O	PA12	
16	15	PD3	I/O	PA13	
17	-	PB6	I/O	PA15	
18	-	PB5	I/O	PB0	
19	-	PB4	I/O	PB1	
20	16	PB3	I/O	PB2	
21	17	PB2	I/O_T	PB3	
22	18	PB1	I/O_T	PB4	
23	-	VCCIO	S		
24	19	P96	I/O	PB8	
25	-	VSSIO	S		
26	20	P95	I/O	PB9	
27	21	P94	I/O	PB10	

28	22	P93	I/O	PB11	
29	23	P92	I/O	PB12	
30	24	P91	I/O	PB13	
31	25	P90	I/O	PB14	
32	-	P76	I/O	PB15	
33	-	P75	I/O	PC0	
34	-	P74	I/O	PC1	
35	-	P73	I/O	PC2	
36	26	P72	I/O	PC3	
37	27	P71	I/O	PC4	
38	28	P70	I/O	PC5	
39	-	VCCIO	S		
40	29	P31	I/O	PC6	
41	-	VSSIO	S		
42	30	P30	I/O	PC7	
43	31	P24	I/O	PC8	
44	32	P23	I/O	PC9	
45	33	P22	I/O	PC10	
46	34	P21	I/O	PC11	ADC1_IN7 CMP0_IP1 CMP1_IP1 CMP2_IN0 CMP3_IN0
-	35	P20	I/O	PC12	ADC1_IN6 CMP0_IN1 CMP1_IN1
47	36	VREFP1	S		
48	37	VREFN1	S		
49	-	P54	I/O	PC15	ADC1_IN3
50	38	P53	I/O	PD0	ADC1_IN2 CMP2_IP2 CMP2_IN2 CMP3_IP2 CMP3_IN2
-	39	P52	I/O	PD1	ADC1_IN1
52	40	P51	I/O	PD2	ADC1_IN0 CMP2_IP0 CMP3_IP0

51	41	P50	I/O	PD3	ADC0_IN8
53	-	P47	I/O	PD4	ADC0_IN7
54	42	P46	I/O	PD5	ADC0_IN6 CMP2_IP3 CMP3_IP3 ANA_SIGOT
55	43	P45	I/O	PD6	ADC0_IN5 CMP0_IP3 CMP1_IP3 DAC_OUT
56	44	P44	I/O	PD7	ADC0_IN4 CMP2_IP1 CMP2_IN1 CMP3_IP1 CMP3_IN1
57	45	P42	I/O	PD9	ADC0_IN2 ADC1_IN10 CMP0_IP0 CMP0_IN0 CMP1_IP0 CMP1_IN0
58	-	P41	I/O	PD10	ADC0_IN1 ADC1_IN9
59	46	P40	I/O	PD11	ADC0_IN0 ADC1_IN8 CMP0_IP2 CMP0_IN2 CMP1_IP2 CMP1_IN2
60	47	VREFP0	S		
61	47	VCCA	S		
62	48	VSSA	S		
63	48	VREFN0	S		
64	-	P11	I/O	PD12	

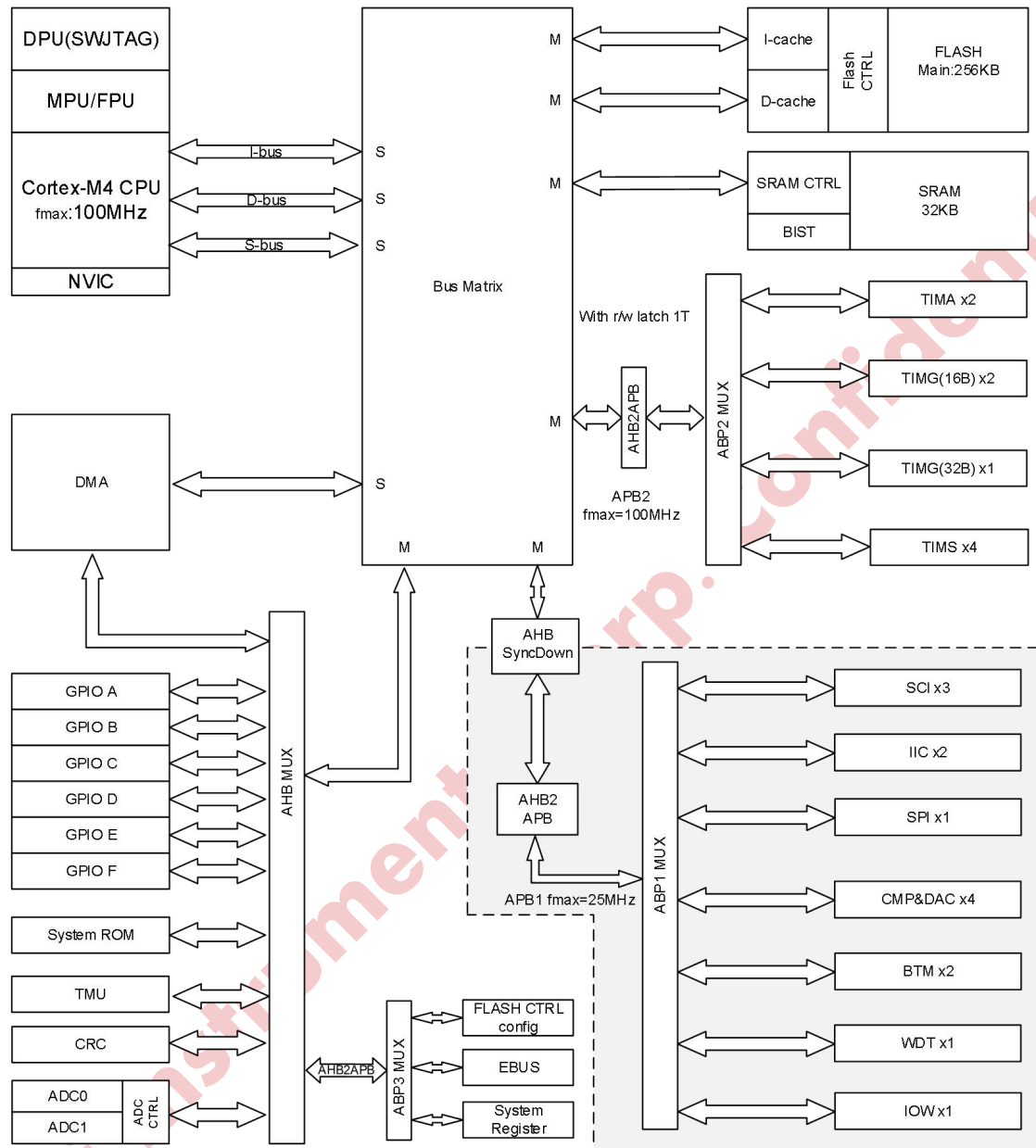
(1) S - 电源管脚; I/O - 输入/输出; I/O_T - 输入/输出, TTL 电平; NRST - 复位管脚。

6.2 管脚数字功能复用

GPI0	功能 0	功能 1	功能 2	功能 3	功能 4	功能 5	功能 6	功能 7
PA0	SCI0_RTS_CS_CTS				TIMG2_CH3	TIMS3_CH1N	EVT14	
PA1			I2C0_SDA				EVT15	
PA2		SCI0_RX_MISO		SCI0_TX_SDA_MOSI				
PA3					TIMS0_BKIN			
PA6		SCI1_RX_MISO		I2C1_SDA			EVT0	KR0
PA7		SCI1_TX_SDA_MOSI		I2C1_SCL			EVT1	KR1
PA8		NMI	CAN_DBG			TIMS1_BKIN	EVT2	KR2
PA9			SPI_SS1		TIMG2_CH0	TIMS1_CH1		
PA10	SCI0_RTS_CS_CTS		SPI_SS0	SCI0_TX_SDA_MOSI	TIMG2_CH1	TIMS1_CH2	EVT3	KR3
PA11	SCI0_RX_MISO	SCI0_SCK_CTS	SWD_CLK	SCI0_SCK_CTS		TIMS0_CH1		
PA12	SCI0_SCK_CTS			SCI1_TX_SDA_MOSI	TIMS0_CH1	TIMS0_CH1N	EVT4	KR4
PA13	SCI0_TX_SDA_MOSI	SCI0_TX_SDA_MOSI	SWD_DIO	SCI1_RX_MISO	TIMS0_CH2	TIMS1_CH1N		
PA15	SCI1_RX_MISO	SCI1_SCK_CTS				TIMS2_BKIN		
PB0	SCI1_TX_SDA_MOSI	SCI1_TX_SDA_MOSI				TIMS3_BKIN		
PB1	SCI1_RTS_CS_CTS							
PB2	SCI2_SCK_CTS		SPI_SCK	REF_CLK	TIMG1_CH0			
PB3	SCI2_TX_SDA_MOSI	SCI2_TX_SDA_MOSI	I2C0_SDA		TIMG1_CH1	TIMS0_CH1		TIMS0_CH1N
PB4	SCI2_RX_MISO	SCI2_SCK_CTS	I2C0_SCL		TIMG1_CH2	TIMS0_CH1N		
PB8					TIMA1_BKIN		EVT5	KR5
PB9					TIMA1_CH0			KR6
PB10					TIMA1_CH1			
PB11					TIMA1_CH2		EVT6	
PB12					TIMA1_CH0N			
PB13					TIMA1_CH1N			
PB14					TIMA1_CH2N			
PB15					TIMA0_CH2N		EVT7	
PC0					TIMA0_CH1N			
PC1					TIMA0_CH0N			
PC2					TIMA0_CH2			

GPIO	功能 0	功能 1	功能 2	功能 3	功能 4	功能 5	功能 6	功能 7
PC3				I2C0_SCL	TIMA0_CH1		EVT8	
PC4				I2C0_SDA	TIMA0_CH0			
PC5					TIMA0_BKIN			KR7
PC6	PCLBUZ		SPI_SS1		TIMG1_CH0	TIMA0_ETR	EVT9	
PC7	CMP3_OUT		SPI_SS0		TIMG1_CH1	TIMA1_ETR	EVT10	
PC8	CMP0_OUT		SPI_SCK		TIMG0_CH0	TIMS2_CH1		
PC9	CMP1_OUT		SPI_MOSI		TIMG0_CH1	TIMS2_CH2		
PC10	CMP2_OUT		SPI_MISO		TIMG0_CH2	TIMS2_CH1	TIMS2_C H1N	
PC11					TIMG2_CH0	TIMS0_CH1		
PC12					TIMG2_CH1	TIMS0_CH1	TIMS0_C H1N	
PC15							EVT11	
PD0								
PD1								
PD2	I2C0_SCL							
PD3	I2C0_SDA							
PD4								
PD5								
PD6								
PD7							EVT12	
PD8								
PD9								
PD10								
PD11							EVT13	
PD12					TIMA0_CH3		TIMS3_C H1	

7 功能框图



8 功能描述

8.1 CPU

KPM32R14TX 集成了 ARM Cortex®-M4F 32 位处理器内核，可提供出色的运算性能和快速的中断处理能力。CPU 支持 DSP 指令，并集成单精度浮点计算单元 FPU (Floating Point Unit)，可实现高效信号处理和复杂算法实现。Cortex®-M4F 处理器基于 ARMv7-M 架构，支持 Thumb® 指令集，实现了 1.25DMIPS/MHz 和 3.42 CoreMark/MHz 的线程性能。

1. 高达 100MHz 的工作频率
2. 哈佛总线架构
3. 集成嵌套向量中断控制器 (NVIC)
4. DSP: 单周期 16 / 32 位 MAC、8 / 16 位 SIMD 运算、硬件除法 (2 ~ 12 周期)
5. 单精度浮点计算单元 FPU，符合 IEEE 754 标准

8.2 总线

系统总线由 AHB 和 APB 总线构成，支持 4 个 master 和 6 个 slave。

1. 支持 32 位 AHB_lite 总线
2. 支持 32 位 APB 总线
3. 支持 4 个 master
 - 3.1. Corex-M4F I-bus
 - 3.2. Corex-M4F D-bus
 - 3.3. Corex-M4F S-bus
 - 3.4. DMA
4. 支持 6 个 Slave
 - 4.1. Flash 存储器 ICODE
 - 4.2. Flash 存储器 DCODE
 - 4.3. SRAM 存储器
 - 4.4. AHB0, AHB to APB 总线，包含部分 APB 接口外设 (低速外设)
 - 4.5. AHB1, 包含 GPIO、SYSROM、DMA 从属端、ADC、TMU、CRC 等 AHB 接口外设，AHB to APB 总线，包括部分 APB 内部 IP
 - 4.6. AHB2, AHB to APB 总线，包含部分 APB 接口外设 (TIM 部分)
5. 支持地址重映射

8.3 Flash 存储器

Flash 存储器是非易失性的可重复编程的存储器，存储的数据或程序即使芯片掉电也可保存。Flash 的控制器接口支持 32 位的 AHB 和 APB 总线，支持指令 cache 和数据 cache 功能，在 cache 功能打开的情况下，最高可实现 CPU 零等待时间访问。

1. 程序 Flash: 存储空间分为如下两部分
 - 1.1. 主存储区 (Main Flash): 总容量 256KB, 分为 512 个页 (Sector), 每页容量为 512B (字节)
 - 1.2. 信息存储区 (Info Flash): 总容量 8KB, 分为 16 个页, 每页容量为 512B
2. 可以按 Byte (8 位)、Half-word (16 位)、Word (32 位) 烧写
3. 支持指令 cache
4. 支持数据 cache
5. 支持页擦除和全擦除
6. 支持多种页保护
7. 支持选项字节 (Option Byte) 的读取和 CRC 校验
8. 支持安全模式, 保护代码内容
9. 支持主存储区数据加密

8.4 RAM 存储器

最大支持 32KB 的 RAM 存储器, 支持奇偶校验。

8.5 时钟

系统时钟的选择在启动的过程中就完成了相关的配置, 其中内部 8MHz RC 振荡器 1 默认选为系统时钟。启动完成之后, 外部 8MHz 晶体振荡器、备份内部 8MHz RC 振荡器 2、内部 32kHz RC 振荡器和内部 100MHz 锁相环时钟可供选择使用, 备份内部 8MHz RC 振荡器 2 用于监测外部 8MHz 晶振时钟、内部 8MHz RC 振荡器 1 和内部 100MHz 锁相环时钟, 必要的时候开启时钟监视模块, 一旦检测到时钟丢失, 芯片会自动切换到备份内部 8MHz RC 振荡器 2 时钟继续运行。

8MHz RC 振荡器 1 作为系统默认主时钟使用, 两个 8MHz RC 时钟都有出厂校正功能, 常温下精度可校正至 $\pm 0.5\%$ 以内, 在 $-40^{\circ}\text{C} \sim 105^{\circ}\text{C}$ 温度范围内精度 $\pm 1\%$ 以内。32kHz RC 时钟作为系统低功耗慢时钟使用, 也具有出厂校正功能, 常温下精度可校正至 $\pm 3\%$ 以内, 在 $-40^{\circ}\text{C} \sim 105^{\circ}\text{C}$ 温度范围内精度 $\pm 10\%$ 以内。PLL 可选择作为系统高速时钟使用, 可配置 2 个内部 8MHz RC 时钟或者外部 8MHz 晶振时钟作为参考时钟输入, 默认倍频输出频率 100MHz。

1. 8MHz 内部 RC 振荡器 1 (HIRC)
2. 8MHz 内部 RC 振荡器 2 (备份 HIRC)
3. 8MHz 外部晶振时钟 (HOSC)
4. 32kHz 内部低速 RC 时钟 (LIRC)
5. 100MHz 内部高速时钟 (PLL)

8.6 复位

8.6.1 复位类型

芯片包含以下几类复位源：

1. 外部 RC 复位 (PAD_RSTJ)
2. 上电复位 (POR_RSTJ)
3. VCCIO 低电压检测复位 (LVD_RSTJ)
4. 看门狗定时器复位 (WDT_RSTJ)
5. 系统软件复位 (SYS_RSTJ)
6. LOCKUP 复位 (LOCKUP_RSTJ)

8.6.2 复位时序说明

8.6.2.1 复位时序--外部复位在上电复位之前释放

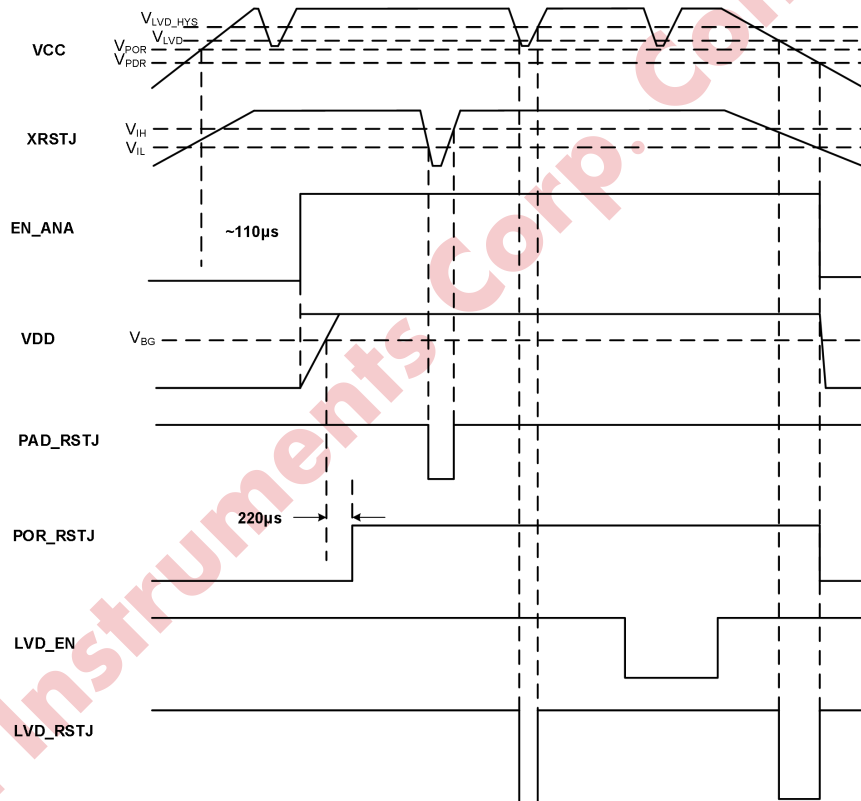


图 1 上电和复位时序图 (外部复位在上电复位之前释放)

外部复位 PIN 接较小的外部 RC 或者直接上拉至 VCC 时，外部复位 PIN 能较好的跟随 VCC 上电，故在上下电过程中，PAD_RSTJ 维持高电平，外部复位不发生。

在上电过程中，VCC 上升到上电阈值 V_{POR} 之后，内部上电稳定时间开始计时， $110\mu s$ 之后模拟模块使能 EN_ANA 发出。随后调压器开始工作，VDD 开始上升。当 VDD 上升至基准电压 V_{REF} 之上时，再延时固定时间 $220\mu s$ 后，上电复位解除信号 POR_RSTJ 释放。

若低压检测恢复阈值 V_{LVD_HYS} 设置高于 POR 阈值时，上电过程中，即使 VCC 已上电至上电阈值 V_{POR} 之上但未至低压检测恢复阈值 V_{LVD_HYS} 之上时，则低压检测输出 LVD_RSTJ 维持为低电平，直到 VCC 上升至低压检测恢复阈值 V_{LVD_HYS} 之上后，低压检测输出 LVD_RSTJ 翻转为高，低电压检测复位解除。

上电完成之后，外部复位接收外设的控制。

当外部复位 PIN 被下拉至 IO 输入低阈值 V_{IL} 时，外部复位 PAD_RSTJ 翻转为低，系统发生外部复位。当外部复位被重新上拉至 IO 输入高阈值 V_{IH} 时，外部复位 PAD_RSTJ 翻转为高，外部复位解除。

同时低电压检测 LVD 模块接收使能 LVD_EN 控制是否工作。

在 LVD_EN 为高时，低电压检测模块 LVD 被使能。实时检测 VCC 电压，当 VCC 电压低于 LVD 阈值 V_{LVD} 时，LVD 模块输出 LVD_RSTJ 翻转为低，即发生低电压复位。然后在 VCC 重新上升至 LVD 恢复阈值 V_{LVD_HYS} 以上时，低压复位解除。

在下电时，VCC 首先下降至低于 LVD 阈值 V_{LVD} ，发生低压检测 LVD 复位。随后 VCC 继续下降至下电阈值 V_{PDR} 以下时，立即发生 PDR 复位。PDR 复位会复位所有模块，因此低电压检测 LVD 复位被清除，同时调压器关闭，VDD 逐渐掉电。

8.6.2.2 复位时序--外部复位在上电复位之后释放

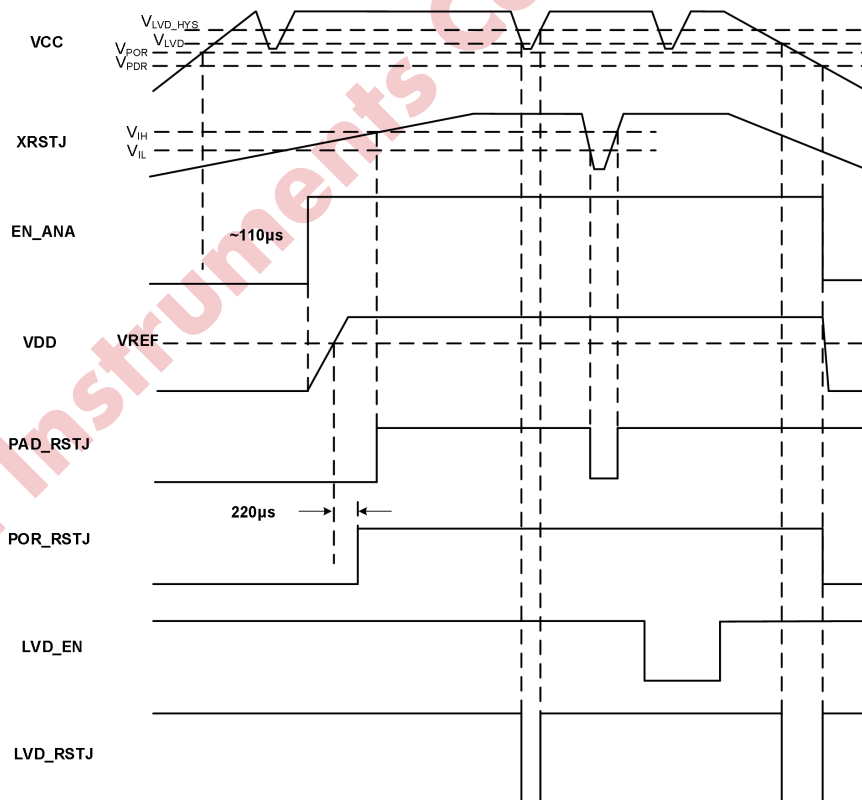


图 2 上电和复位时序图 (外部复位在上电复位之后释放)

外部复位 PIN 接较大的外部 RC 时，外部复位 PIN 在上电完成后，缓慢的上升至 VCC。故在外部复位 PIN 上升至 IO 输入高阈值 V_{IH} 前，外部复位 PAD_RSTJ 保持低电平，复位状态维持。直到外部复位 PIN 上升至 IO 输入高阈值 V_{IH} 以上，外部复位 PAD_RSTJ 翻转为高电平，外部复位解除。

其他相关信号时序状态请参考 8.6.2.1 节。

8.7 电源

KPM32R14TX 内嵌一个电压调节器，用于向数字电源域供电。模拟电路、IO、内核、存储、数字外设的电源供应如下。

1. 模拟电路电源

VCCA, 2.4V 到 5.5V, 用于供应 ADC、电压检测模块、带隙基准、LDO

2. IO 电源

VCCIO, 2.4V 到 5.5V, 用于供应 IO 和外部振荡器

3. 内核、存储、数字外设的电源

VDD

8.7.1 电压调节器

调压器主要用于对芯片电源 VCCIO 进行调压降压至 VDD，并给内核供电。

1. 调压器的工作电压范围为 2.4 ~ 5.5V
2. 调压器默认输出为 1.2V
3. 调压器设计有 4bit 输出电压调节
4. 调压器驱动能力有 2bit 档位调节

8.8 通用 I/O

通用输入输出 (GPIO) 模块可以通过 AHB_Lite 总线与 CPU 通信。GPIO 寄存器支持 8 / 16 / 32 位访问。

1. GPIO 输出实现置位、清零、翻转
2. 通过控制寄存器中置位和清零寄存器实现安全操作
3. 输入采样通过使用 2 级触发器避免发生亚稳态
4. 管脚上拉、下拉 (注: P37 无下拉功能)
5. 推挽输出
6. 支持事件触发实现置位、清零、翻转

8.9 DMA

DMA 模块用来提供在外设和存储器之间或者存储器和存储器之间的高速数据传输，传输过程中无须 CPU 参与，故 CPU 可同步进行其它操作。DMA 具有 8 条独立的 DMA 通道，每个通道专门用来管理来自于外设或存储器访问的请求。还有一个仲裁器来协调各个 DMA 请求的优先权。

1. 支持 8 个独立 DMA 通道，支持优先级配置
2. 支持 32 位 AHB_lite 接口
3. 支持多种传输类型
 - 3.1. 存储器到存储器
 - 3.2. 存储器到外设
 - 3.3. 外设到存储器
4. 支持 3 种数据位宽：8-bit、16-bit、32-bit
5. 传输数据长度可配置范围 1 ~ 65536

8.10 CRC

CRC 是循环冗余校验模块，它可以根据生成多项式得到 CRC 校验码。CRC 模块还可以对 Flash 存储的代码进行校验，以此来确保代码的正确性。

1. 支持 CRC-32 (以太网) 生成多项式：0x4C11DB7
2. 支持 32 位输入和输出
3. 支持输入反转和输出反转
4. 支持 0 延迟的 CRC 计算
5. CRC 初始值可配置

8.11 TMU

TMU 是三角函数加速器的简称，通过 Cordic 算法实现正弦、余弦和反正切计算，数据计算类型支持单精度浮点型及有符号定点整型数据。

1. $a = \sin(\text{angle})$
2. $a = \cos(\text{angle})$
3. $a = \arctan(x, y)$
4. 支持计算模式自动切换
5. 数据输入类型支持单精度浮点方式和有符号定点整型
6. 数据输出类型支持单精度浮点方式和有符号定点整型
7. 正余弦弧度浮点输入范围 $[-2\pi, 2\pi]$
8. 正余弦计算输出范围 $[-1, 1]$
9. 反正切浮点输入范围 $(-65536, 65536)$
10. 反正切计算输出范围 $(-\pi, \pi)$
11. 计算周期

- 11.1. $a = \sin(\text{angle})$ (5 个 TMU_CLK 完成计算)
- 11.2. $a = \cos(\text{angle})$ (5 个 TMU_CLK 完成计算)
- 11.3. $a = \arctan(x, y)$ (5 个 TMU_CLK 完成计算)

8.12 ADC

KPM32R14TX 配备 2 个 12Bit 分辨率的逐次逼近型模数转换器，每个模数转换器支持最多 13 个通道的模拟信号输入，其中，ADC0 和 ADC1 分别支持 9 个和 11 个通道连接到芯片外部。模数转换器支持可配置最高 2.4Msps 的转换率，控制电路部分基于转换单元机制，每个转换单元支持独立配置通道，采样时间等，并且，转换结果保存在基于转换单元的结果寄存器中。

1. 支持最高可达 2.4Msps 采样率
2. 最多支持 17 个外部通道采样和 4 个内部通道采样
3. 支持 12-Bit / 10-Bit / 8-Bit 分辨率
4. 支持 16 个可独立配置的转换单元
5. 支持 16 个独立访问的转换结果寄存器
6. 支持软件触发及硬件事件触发
7. 支持突发连续转换模式
8. 支持可配置高优先级转换单元
9. 支持 4 个后处理模块
 - 9.1. 偏移矫正
 - 9.2. 偏移参考
 - 9.3. 看门狗比较模式
 - 9.4. 转换结果过零检测
10. 支持转换完成事件及后处理事件发送
11. 支持独立灵活配置中断使能

8.13 CMP

CMP (模拟比较器) 用于比较两个模拟电压输入，比较器电路设计应用于整个电源电压范围内，共有 4 个模拟比较器，每个比较器可根据使用需求进行比较电压档位选择。而且还包括 4 个 DAC 输出分别用作 CMP 的输入。

1. 共有 4 路独立支持 DAC 参考的 CMP
2. 电压比较器多输入选择
3. 比较器迟滞能力选择
 - 3.1. 无迟滞
 - 3.2. 25mV
 - 3.3. 50mV
 - 3.4. 100mV
4. 支持数字滤波功能
5. 支持输出翻转
6. 支持 EBUS 触发屏蔽功能

7. 支持有效沿触发中断响应
8. 支持发送 EBUS 触发事件
9. 输出至 EBUS / TIM / IO
10. 四种输出模式选择
 - 10.1. 异步输出
 - 10.2. 同步输出
 - 10.3. 滤波输出
 - 10.4. 边沿检测输出
11. 12-Bit DAC 转换器
12. 软件更新&硬件更新
13. EBUS 多通道选择触发 DAC 更新
14. DAC 斜坡发生器

8.14 TIMA

高级定时器 (TIMA) 是由一个带自动加载功能的 16 位计数器构成, 支持可编程预分频计数。定时器可用于多种用途: 对输入信号脉冲宽度量测、比较输出、PWM 输出或带死区插入的互补 PWM 输出。

1. 16 位递增、递减、递增 / 递减自动重载计数器
2. 16 位可编程预分频器, 用于对计数器时钟频率进行分频 (即运行时修改), 分频系数介于 1 到 65536 之间
3. 3 个互补通道 (通道 0 ~ 2), 1 个单通道 (通道 3)
4. 6 个独立通道功能, 可用于
 - 4.1. 输入捕获 (除通道 4 / 5)
 - 4.2. 输出比较
 - 4.3. PWM 输出 (边沿和中心对齐模式)
 - 4.4. 单脉冲模式输出
5. 带可编程死区的互补输出
6. 使用外部信号控制定时器且可实现多个定时器互连的同步电路
7. 重复计数器, 用于仅在给定数目的计数器周期后更新定时器寄存器
8. 支持断路输入将输出信号置于复位状态或预写状态
9. 支持以下事件的中断生成
 - 9.1. 更新: 计数器溢出, 由软件或内外部事件触发计数器初始化
 - 9.2. 触发事件 (计数器开始、停止、初始化或内外部触发导致的计数动作)
 - 9.3. 输入捕获
 - 9.4. 输出比较
 - 9.5. 断路输入
10. 支持定位用增量 (正交) 编码器和霍尔传感器电路

8.15 TIMG

通用定时器 (TIMG) 是由一个带自动加载功能的 16 / 32 位计数器构成, 支持可编程预分频计数。定时器可用于多种用途: 对输入信号脉冲宽度量测、比较输出和 PWM 输出。其中 TIMG0 是 32 位定时器, TIMG1 / 2 是 16 位定时器。

1. 16 / 32 位递增、递减、递增/递减自动重载计数器
2. 16 位可编程预分频器, 用于对计数器时钟频率进行分频 (即运行时修改), 分频系数介于 1 到 65536 之间
3. 4 个独立通道功能, 可用于
 - 3.1. 输入捕获
 - 3.2. 输出比较
 - 3.3. PWM 输出 (边沿和中心对齐模式)
 - 3.4. 单脉冲模式输出
4. 使用外部信号控制定时器且可实现多个定时器互连的同步电路
5. 支持以下事件的中断生成:
 - 5.1. 更新: 计数器溢出, 由软件或内外部事件触发计数器初始化
 - 5.2. 触发事件 (计数器开始、停止、初始化或内外部触发导致的计数动作)
 - 5.3. 输入捕获
 - 5.4. 输出比较
 - 5.5. 断路输入
6. 支持定位用增量 (正交) 编码器和霍尔传感器电路

8.16 TIMS

该简版定时器 (TIMS) 是由一个带自动加载功能的 16 位计数器构成, 支持可编程预分频计数。定时器可用于多种用途: 对输入信号脉冲宽度量测、比较输出、PWM 输出或带死区插入的互补 PWM 输出。

1. 16 位递增、递减、递增 / 递减自动重载计数器
2. 16 位可编程预分频器, 用于对计数器时钟频率进行分频 (即运行时修改), 分频系数介于 1 到 65536 之间
3. 通道配置
 - 3.1. 1 对互补通道
 - 3.2. 1 个单通道
4. 通道功能
 - 4.1. 输入捕获
 - 4.2. 输出比较
 - 4.3. PWM 输出
 - 4.4. 单脉冲模式输出
5. 带可编程死区的互补输出
6. 使用外部信号控制定时器且可实现多个定时器互连的同步电路
7. 支持同类定时间协作使能操作和换向操作

8. 支持断路输入将输出信号置于复位状态或预写状态
9. 支持以下事件的中断生成：
 - 9.1. 更新：计数器溢出，由软件或内外部事件触发计数器初始化
 - 9.2. 触发事件（计数器开始、停止、初始化或内外部触发导致的计数动作）
 - 9.3. 输入捕获
 - 9.4. 输出比较

8.17 BTM

基准定时器 (BaseTimer, BTM) 是一个可自动加载初值的 32 位向下计数器。而且该定时器可以配置为两个各自独立的 16 位向下计数器，并且也同样代用自动加载储值的功能。

1. 可作为两个可自动加载初值的 16 位向下计数器，各自独立
2. 可作为一个可自动加载初值的 32 位向下计数器
3. 当计数器下溢时，自动加载初值至计数器，产生中断
4. 计数器工作时钟源可选
5. 可编程中断，两个计数器的中断使能可编程
6. 支持输出触发事件至 EBUS 系统

8.18 WDT

看门狗 (Watchdog Timer, WDT) 是一个 24 位向下计数器，可提供预警中断和系统复位功能，方便于维持系统稳定，一旦软件出现异常时，系统可通过复位恢复到正常运行状态。

1. 24 位向下计数器
2. 两种运行模式
 - 2.1. 普通模式
 - 2.2. 窗口模式
3. 有条件复位
 - 3.1. 计数器下溢
 - 3.2. 在窗口期外喂狗
4. 支持可编程预警中断产生机制
5. 预警中断 (EWI)：预警阈值可编程
6. 配置寄存器安全锁功能
 - 6.1. WDT_KR 可关闭其他配置寄存器写操作
 - 6.2. 输入正确的解锁码可以开启其他配置寄存器写操作功能
7. 时钟源可编程选择
8. WDT 可在系统所有功耗模式下运行
9. 调试模式：在 CPU 调试模式下 WDT 可暂停工作

8.19 SCI

KPM32R14TX 包含三个串行通信接口 (SCI)，串行通信接口可以实现异步及同步通信，其中，异步通信主要包括 UART，同步通信接口支持 SPI 或者简易 IIC 协议。

SPI 模式 (SCK, MISO, MOSI, CS)

1. 数据长度 8bit
2. 发送 / 接收数据相位控制
3. 输入 / 输出时钟相位控制
4. CS 控制可配置使能
5. MSB / LSB 选择
6. 发送 / 接收数据的电平设置及反相选择
7. 主 / 从选择
8. 可配置波特率
9. 传输结束中断 / 缓冲器空中断
10. 溢出错误检测中断

UART 模式 (RX, TX, CTS, RTS)

1. 数据长度 7 / 8 / 9bit
2. MSB / LSB 选择
3. 发送 / 接收数据的电平设置及反相选择
4. 奇偶检验位发送 / 校验功能
5. 1bit / 2bit 停止位
6. 传输结束中断 / 缓冲器空中断
7. 帧错误，奇偶校验错误，以及溢出错误检测中断
8. 多处理器通信网络
9. RTS / CTS 硬件流控

I²C 模式 (SCL, SDA)

1. 主发送 / 主接收 (仅限单一节点主功能)
2. 起始 / 重新起始条件及停止条件硬件产生
3. 支持时钟同步
4. 可配置输出保持
5. ACK / NACK 输出功能以及 ACK / NACK 检测功能
6. 数据长度 8bit
7. 传输结束中断 / 缓冲器空中断
8. ACK 错误，溢出错误检测中断

SYNC 模式 (SCK, TX, RX, CTS / RTS)

1. 数据长度 8 / 9bit
2. MSB / LSB 选择
3. 发送 / 接收数据相位控制
4. 输入 / 输出时钟相位控制
5. 发送 / 接收数据的电平设置及反相选择
6. 传输结束中断 / 缓冲器空中断
7. RTS / CTS 硬件流控
8. 溢出错误检测中断

8.20 I²C

I²C 总线由两条线路组成，分别是串行时钟线 (SCL) 与串行数据线 (SDA)，SDA 与 SCL 都是双向的。可以通过 I²C 总线与其他设备进行通信，将串行数据输入转换成并行或将并行数据转换成串行输出，传输过程可开启或禁止中断。支持 DMA 来搬运数据从而减少 CPU 工作。

1. I²C 主设备功能
 - 1.1. 产生时钟
 - 1.2. 产生开始条件，停止条件
 - 1.3. 通信数据收发
 - 1.4. 响应信号收发
2. I²C 从设备功能
 - 2.1. 从机地址可编程
 - 2.2. 开始条件，停止条件检测
 - 2.3. 通信数据收发
 - 2.4. 响应信号收发
3. 通信速度支持 10Kbps / 100Kbps / 400Kbps / 1Mbps
4. 支持 DMA 数据搬运
5. 支持 I²C 总线仲裁
6. 支持 I²C 总线多主通信
7. 7 / 10bit 地址通信
8. 扩展代码地址识别
9. 数据缓存 FIFO (8×8bit)
10. 电平超时报警

8.21 EBUS

外设事件系统能够通过多种不同的配置，来实现设备输入，输出以及片上外设模块之间的事件进行灵活地互连。事件通过此模块在不同外设之间的传递通信是独立于 CPU 的。片上多个外设支持编程为发送事件/接收事件，产生事件的具体条件以及接收事件后的响应行为取决于外设模块的工作方式。接收事件的外设被称为从设备，发送事件的外设被称作主设备。一个外设模块可以既是从设备同时又是主设备。

通过外设事件系统的通信不需要 CPU 干涉并且不消耗系统资源，比如总线或者 RAM 带宽，与传统的基于中断的系统相比，可以减轻 CPU 的负担以及节省系统资源。

1. 时钟与系统时钟同步
2. 支持最多 16 个独立可配置的事件通道
3. 每个通道事件异步传输模式以及同步采样模式
4. 在同步采样模式中，具有以下边沿检测功能
 - 4.1. 将输入事件源同步后发送
 - 4.2. 在输入事件源的上升沿产生事件
 - 4.3. 在输入事件源的下降沿产生事件
 - 4.4. 在输入事件源的上升和下降沿都产生事件
5. 支持软件触发电平或脉冲事件
6. 支持相邻通道之间的逻辑组合输出
7. 支持发送事件到 CPU 作为 WFE
8. 支持最多 16 个独立的 IO 电平检测通道
9. 可配置 16 个独立的 IO 检测中断
10. 可配置 IO 上升沿或者下降沿检测

8.22 IOW

键入中断模块提供了 8 个独立的 IO 输入检测通道，在所有低功耗模式下，当目标检测边沿发生时，都可以发出中断唤醒系统。

1. 支持 8 个独立的通道进行按键检测
2. 每个通道独立可编程上升沿检测或者下降沿检测
3. 每个通道独立可编程中断产生使能
4. Sleep / Deep Sleep / Stop 模式下唤醒系统

8.23 LVD

低电压检测电路用于比较电源电压和目标检测电压，当发生低电压情况时产生内部复位或内部中断。

LVD1 检测到低电压后发生 LVD Reset，默认开启。

LVD2 检测到低电压后发生 LVD Interrupt，可配置滤波功能，默认关闭。

8.24 温度传感器

1. 工作电压范围 2.4 ~ 5.5V
2. 支持 2bit 温度系数调节

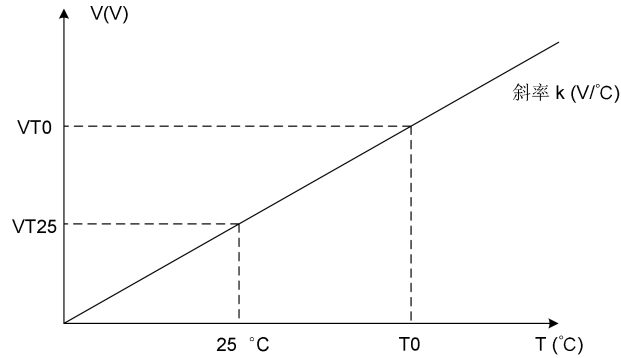


图 3 TS 模块原理示意图

如上图所示，温度传感模块输出电压与温度正相关。

温度传感模块 (简称 TS 模块) 是将温度信号转换为电压信号，然后通过 ADC 采样和运算，从而可实时采样温度信息。

温度传感模块的功能依赖 $25^{\circ}C$ 时的输出电压 $VT25$ 作参考。若需要采样实时温度，则可通过触发 ADC 采样获得温度传感模块的实时输出电压 $VT0$ ，于是实时温度可参考下式给出：

$$T0 = \frac{VT0 - VT25}{k} + 25 (^{\circ}C)$$

实际使用温度传感模块时，可咨询芯片商获取精确算法支持。

9 存储器映射

本存储器和模块地址分配如下。

表 1 系统地址分配

Boundary Address	Size	Destination Slave
Code		
0x0000_0000-0x0000_0FFF	4K	程序 Flash / SRAM / Bootrom ⁽¹⁾
0x0000_1000-0x0000_7FFF	28K	程序 Flash/SRAM
0x0000_8000-0x0003_FFFF	224K	程序 Flash
0x0800_0000-0x0803_FFFF	256K	程序 Flash
0x1FFF_0000-0x1FFF_0FFF	4K	Bootrom / Chip_option
0x1FFF_1000-0x1FFF_1FFF	4K	User Page
SRAM		
0x2000_0000-0x2000_7FFF	32K	SRAM
0x2200_0000-0x23FF_FFFF	32MB	SRAM Bit-banding Alias Address
Peripheral		
0x4000_0000-0x4000_FFFF	64KB	AHB-to-APB Space
0x4001_0000-0x4001_FFFF	64KB	AHB-to-APB Space1
0x4002_0000-0x4002_0FFF	4KB	DMA
0x4003_0000-0x4003_0FFF	4KB	CRC
0x4003_1000-0x4003_1FFF	4KB	TMU
0x4003_2000-0x4003_2FFF	4KB	ADC0
0x4003_3000-0x4003_3FFF	4KB	ADC1
0x4004_0000-0x4004_FFFF	64KB	AHB-to-APB Space2
0x5000_0000-0x5000_0FFF	4KB	AHB Peripherals (GPIOA)
0x5000_1000-0x5000_1FFF	4KB	AHB Peripherals (GPIOB)
0x5000_2000-0x5000_2FFF	4KB	AHB Peripherals (GPIOC)
0x5000_3000-0x5000_3FFF	4KB	AHB Peripherals (GPIOD)
0x5000_4000-0x5000_4FFF	4KB	Reserve
0x5000_5000-0x5000_5FFF	4KB	Reserve
0x4200_0000-0x43FF_FFFF	32MB	IO Bit-banding Alias Address
0xF000_0000-0xF000_0FFF	4KB	System ROM Table

(1) 由 MEM_MODE_CTRL 寄存器配置此地址空间。

表 2 AHB-to-APB 地址空间

Address	Size	Destination Slave
0x4000_0000-0x4000_03FF	1K	Reserve
0x4000_0400-0x4000_07FF	1K	Reserve
0x4000_0800-0x4000_0FFF	2K	Reserve
0x4000_1000-0x4000_13FF	1K	CAN
0x4000_1400-0x4000_17FF	1K	Reserve
0x4000_1800-0x4000_1FFF	2K	Reserve
0x4000_2000-0x4000_23FF	1K	SPI
0x4000_2400-0x4000_27FF	1K	Reserve
0x4000_2800-0x4000_2BFF	1K	Reserve
0x4000_2C00-0x4000_2FFF	1K	WDT
0x4000_3000-0x4000_33FF	1K	Basetimer
0x4000_3400-0x4000_37FF	1K	Reserve
0x4000_3800-0x4000_3BFF	1K	Reserve
0x4000_3C00-0x4000_3FFF	1K	Reserve
0x4000_4000-0x4000_43FF	1K	Reserve
0x4000_4400-0x4000_47FF	1K	SCI0
0x4000_4800-0x4000_4BFF	1K	SCI1
0x4000_4C00-0x4000_4FFF	1K	SCI2
0x4000_5000-0x4000_53FF	1K	Reserve
0x4000_5400-0x4000_57FF	1K	I2C0
0x4000_5800-0x4000_5BFF	1K	I2C1
0x4000_5C00-0x4000_5FFF	1K	DAC
0x4000_6000-0x4000_63FF	1K	ACMP
0x4000_6400-0x4000_73FF	4K	Reserve
0x4000_7400-0x4000_77FF	1K	IOW
0x4000_7800-0x4000_FFFF	34K	Reserve
0x4001_0000-0x4001_07FF	2K	System Reg
0x4001_0800-0x4001_0BFF	1K	EBUS

Address	Size	Destination Slave
0x4001_0C00-0x4001_1FFF	5K	Reserve
0x4001_2000-0x4001_23FF	1K	FLASH Controller
0x4001_2400-0x4001_27FF	1K	I-cache
0x4001_2800-0x4001_2BFF	1K	D-cache
0x4001_2C00-0x4001_FFFF	53K	Reserve
0x4004_0000-0x4004_03FF	1K	TIMA0
0x4004_0400-0x4004_07FF	1K	TIMA1
0x4004_0C00-0x4004_0FFF	1K	Reserve
0x4004_1000-0x4004_13FF	1K	TIMG0
0x4004_1400-0x4004_17FF	1K	TIMG1
0x4004_1800-0x4004_1BFF	1K	TIMG2
0x4004_1C00-0x4004_1FFF	1K	Reserve
0x4004_2000-0x4004_23FF	1K	TIMS0
0x4004_2400-0x4004_27FF	1K	TIMS1
0x4004_2800-0x4004_2BFF	1K	TIMS2
0x4004_2C00-0x4004_2FFF	1K	TIMS3
0x4004_3000-0x4004_3FFF	4K	Reserve
0x4004_4000-0x4004_4FFF	4K	Reserve
0x4004_5000-0x4004_5FFF	4K	Reserve
0x4004_6000-0x4004_63FF	1K	TIM_COM
0x4004_6400-0x4004_6FFF	3K	Reserve
0x4004_7000-0x4004_FFFF	36K	Reserve

10 电气特性

10.1 测试条件

除非特别说明，所有电压都以 VSS 为基准。

10.1.1 最大值和最小值

除非特别说明，所有产品的最小值和最大值已在出厂通过测试，测试的环境温度为 $T_A = 25^{\circ}\text{C}$ 和 $T_A = T_{Amax}$ (T_{Amax} 产品的温度范围匹配)，所有最小和最大值可以在最严格的环境温度、供电电压和时钟频率条件下得到保证。

部分数据是根据特性分析、设计仿真及工艺特性分析综合评估获得，会在脚注中说明，不会在出厂进行测试。结合综合评估结果，经过样本测试后，取平均值加上或减去 3 倍标准差 (平均值 $\pm 3\sigma$) 得到最大值和最小值。

10.1.2 典型值

除非特别说明，典型数据是基于 $T_A = 25^{\circ}\text{C}$ 和 $VCCIO = VCCA = 5V$ ($2.4V \leq VCC \leq 5.5V$ 电压范围)。这些数据仅用于设计指导而未经测试。

典型的 ADC 精度数值是通过对一个标准的批次采样，全温度范围分析得到，其中 95% 产品的误差小于等于给出的数值 (平均值 $\pm 2\sigma$)。

10.1.3 典型曲线

除非特别说明，典型曲线仅用于设计指导而未经测试。

10.1.4 负载电容

测量管脚参数时，负载条件如下图。

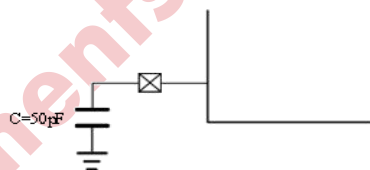


图 4 管脚负载条件

10.1.5 供电方案

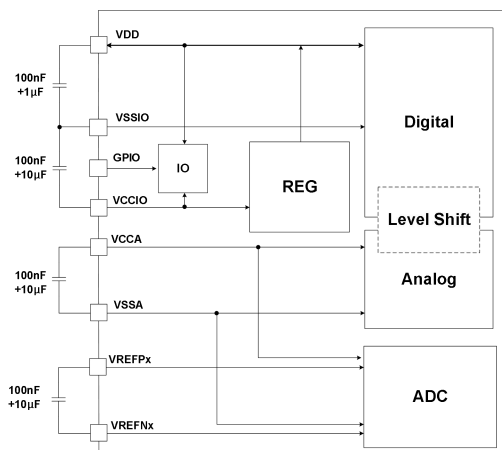


图 5 芯片电源方案

上图中每个电源对 (VCCIO / VSSIO, VDD / VSSIO 等) 必须陶瓷电容滤波去耦。电容尽量靠近器件管脚。

10.2 极限参数

若器件上的载荷超过列表中给出的极限参数，可能会导致器件永久性地损坏。这里只是给出能承受的最大载荷，并不意味着在此条件下器件的功能正常。器件长期工作在极限条件下会影响器件的可靠性。

10.2.1 电压特性

符号	描述	最小值	最大值	单位
VDD-VSSIO	内部数字电源电压	-0.3	1.45	V
VCCIO-VSSIO	外部 IO 和模拟电源电压	-0.3	6	V
VIN	其他管脚输入电压	VSSIO -0.3	6	V

10.2.2 电流特性

符号	描述	最大值	单位
ΣI_{VCC}	经过 VCCIO / XVCCA 电源线的总电流 (供应电流) ⁽¹⁾	120	mA
ΣI_{VSS}	经过 VSSIO / VSSA 地线的总电流 (流出电流) ⁽¹⁾	-120	mA
$I_{VCC (PIN)}$	经过每个 VCCIO / VCCA 电源线的最大电流 (供应电流) ⁽¹⁾	100	mA
$I_{VSS (PIN)}$	经过每个 VSSIO / VSSA 地线的最大电流 (流出电流) ⁽¹⁾	-100	mA
$I_{IO (PIN)}$	任意 I/O 和控制管脚上的输出灌电流	4	mA
	任意 I/O 和控制管脚上的输出拉电流	-4	mA
$\Sigma I_{IO (PIN)}$	所有 I/O 和控制管脚上的总输出灌电流 ⁽²⁾	90	mA
	所有 I/O 和控制管脚上的总输出拉电流 ⁽²⁾	90	mA
$I_{INJ (PIN)}$	任意 I/O 和控制管脚上的总注入电流 ⁽³⁾	± 5	mA
$\Sigma I_{INJ (PIN)}$	所有 I/O 和控制管脚上的总注入电流 ⁽⁴⁾	± 20	mA

- (1) 所有的电源 (VCCIO, VCCA) 和地 (VSSIO, VSSA) 管脚必须始终连接到外部允许范围内的供电系统上。
- (2) 此电流消耗必须正确分布至所有 I/O 和控制管脚。对于多管脚数的封装，总输出电流一定不能在两个连续电源管脚间灌/拉。
- (3) 当 $VIN > VCCIO$ 时，会产生正向注入电流；当 $VIN < VSSIO$ 时，会产生反向注入电流。不得超出 I_{INJ} 。有关允许的最大输入电压值的信息，请参见表：电压特性。
- (4) 当几个 I/O 口同时有注入电流时， ΣI_{INJ} 的最大值为正向注入电流与反向注入电流 (瞬时值) 绝对值之和。

10.2.3 温度特性

符号	描述	数值	单位
T_{STG}	存储温度范围	-55 ~ +160	°C
T_J	最大结温度	125	°C

10.3 工作条件

10.3.1 通用工作条件

对于电压高于 $V_{CCIOx} + 0.3V$ 的工作，内部上拉电阻必须禁用。

在低功率耗散状态下，只要不超过最大结温， T_A 便可以扩展温度范围。

符号	参数	条件	最小值	最大值	单位
f_{CLK}	内部 AHB 时钟频率	-	0	100	MHz
VDD	内部数字电源电压	-	1.08	1.32	V
VCCIO	外部 IO 电源电压	-	2.4	5.5	V
VCCA	模拟电源电压	-	2.4	5.5	V
VREFPx	ADC 参考电压	-	2.4	5.5	V
V_{IN}	IO 输入电压	所有 IO	-0.3	5.5	V
T_A	环境温度	最大功率耗散	-40	85	°C
		低功耗耗散	-40	105	°C
T_J	结温范围	-	-40	125	°C

10.3.2 上电和掉电的工作条件

下表中给出的参数是在通用工作条件下测试得出。

表 3 上电和掉电特性

符号	参数	条件	最小值	最大值	单位
t_{VCC}	上升速率	负载电容 10 μ F 100nF	3.5	∞	μ s/V
	下降速率		200	∞	

表 4 POR 和 PDR 特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{POR}	上电复位阈值	上升沿	1.8	2.0	2.2	V
V_{PDR}	掉电复位阈值	下降沿	1.7	1.8	1.9	V
V_{PDR_hyst}	PDR 迟滞	-	-	200	-	mV

10.3.3 内嵌参考电压

下表中给出的参数是在通用工作条件下测试得出。

表 5 内嵌参考电压

符号	参数	条件	最小值	典型值	最大值	单位
V_{REFINT}	内部参考电压	$-40^{\circ}\text{C} < T_A < +105^{\circ}\text{C}$	0.792	0.8	0.808	V
ΔV_{REFINT}	全温度范围，内部参考电压分布	$V_{CCA} = 5V$	-	6	10	mV
T_{COEFF}	温漂系数	$V_{CCA} = 5V$	-	50	-	ppm/°C

10.3.4 供电电流特性

电流消耗是多种参数和因素的综合指标，这些参数和因素包括工作电压、环境温度、I/O 管脚的负载、产品的软件配置、工作频率、I/O 脚的翻转速率、程序在存储器中的位置以及执行的代码等。

下表给出的参数，是在通用工作条件下测试得出。

表 6 VCC ⁽¹⁾ 典型功耗

符号	参数	条件	最小值	典型值	最大值	单位
I _{VCC}	正常工作模式	使能所有外设，PLL 打开 f _{CLK} = 100MHz	-	42	-	mA
		使能所有外设，PLL 关闭 f _{CLK} = 8MHz	-	16	-	mA
I _{VCC}	停止模式	所有时钟关闭	-	2.8	-	mA

(1) VCC 包括 VCCIO 和 VCCA。

10.3.5 外部时钟源特性

外部晶体振荡器产生外部高速时钟 (HOSC)，外部时钟信号必须符合 I/O 端口特性。

表 7 高速外部时钟特性

符号	参数	条件	最小值	典型值	最大值 ⁽¹⁾	单位
f _{HOSC}	HOSC 频率	-	4	8	26	MHz
R _F	反馈电阻	-	-	1	-	MΩ
Duty(HOSC)	占空比	-	45	50	55	%
I _{VCCIO} ⁽¹⁾	HOSC 功耗	VCCIO = 5.0V, R _m = 30Ω, 8MHz	-	1.5	-	mA
g _m ⁽¹⁾	HOSC 跨导	时钟稳定输出	2.72	4.29	12.86	mA/V
t _{SU(HOSC)} ⁽²⁾	启动时间	VCCIO 稳定	-	2	-	ms

(1) 由设计保证，未经生产测试。

(2) 此数据采用标准 8MHz 晶振典型条件下测试所得，不同工艺制造的晶振可能存在差异。

10.3.6 内部时钟源特性

10.3.6.1 内部高速 RC 振荡器 (HIRC)

表 8 内部高速时钟特性

符号	参数	条件	最小值	典型值	最大值 ⁽¹⁾	单位
f _{HIRC}	HIRC 频率	-	-	8	-	MHz
Duty(HIRC) ⁽¹⁾	占空比	-	45	50	55	%
TRIM	校准步长	-	-	0.4	-	%
ACC _{HIRC} ⁽²⁾	HIRC 精度	T _A = 25°C	-0.5	-	+0.5	%
		T _A = -40 ~ 105°C	-1	-	+1	

$t_{su(HIRC)}^{(1)}$	HIRC 启动时间	-	-	64	-	cycle
$I_{VCC(HIRC)}^{(1)}$	HIRC 功耗	-	-	120	-	μA

(1) 由设计保证，未经生产测试。

(2) 基于特性分析结果，未在生产中测试。

10.3.6.2 内部低速时钟振荡器 (LIRC)

表 9 内部低速时钟特性

符号	参数	条件	最小值	典型值	最大值 ⁽¹⁾	单位
f_{LIRC}	LIRC 频率	-	-	32	-	kHz
$Duty_{(LIRC)}^{(1)}$	占空比	-	45	50	55	%
TRIM	校准步长	-	-	3	-	%
$ACC_{LIRC}^{(2)}$	LIRC 精度	$T_A = 25^\circ C$	-3	-	+3	%
		$T_A = -40 \sim 105^\circ C$	-10	-	+10	
$t_{su(LIRC)}^{(1)}$	LIRC 启动时间	-	-	50	-	μs
$I_{VCC(LIRC)}^{(1)}$	LIRC 功耗	-	-	2	-	μA

(1) 由设计保证，未经生产测试。

(2) 基于特性分析结果，未在生产中测试。

10.3.7 PLL 特性

下表给出的参数是在通用工作条件下测试得出。

表 10 PLL 特性

符号	参数	条件	最小值 ⁽¹⁾	典型值	最大值 ⁽¹⁾	单位
f_{PLL_IN}	PLL 输入时钟	-		2	-	MHz
	PLL 输入时钟占空比	-	45	50	55	%
f_{PLL_OUT}	内部 VCO 输出时钟	-	-	400	-	MHz
	PLL 输出时钟	-	-	100	-	MHz
	PLL 输出时钟占空比	-	45	50	55	%
t_{LK}	PLL 锁定时间	VCO 输出时钟 = 400MHz	-	2^{10}	-	Clock Cycle

(1) 由设计保证，未经生产测试。

10.3.8 存储器特性

FLASH 闪存存储器

除非特别说明, 所有特性参数是在 $T_A = -40 \sim 105^\circ\text{C}$ 得到。

表 11 存储器特性 (Flash)

符号	参数	条件	最小值	典型值	最大值 ⁽¹⁾	单位
t_{prog}	32 位编程时间	$T_A = -40 \sim +105^\circ\text{C}$	-	-	20	μs
t_{ERASE}	页擦除时间	$T_A = -40 \sim +105^\circ\text{C}$	-	-	5	ms
t_{ME}	整片擦除	$T_A = -40 \sim +105^\circ\text{C}$	-	-	40	ms
I_{VDD}	供电电流	编程模式	-	-	3.5	mA
		擦写模式	-	-	2	mA
N_{END}	寿命(擦写次数)	$T_A = -40 \sim +105^\circ\text{C}$	100	-	-	kcycle
t_{RET}	数据保存期限	$T_A = 85^\circ\text{C}$	10	100	-	Year

10.3.9 ESD 特性

根据每种管脚组合, 对每个样本的管脚施加静电放电 (一个正脉冲后接着一个负脉冲, 两个脉冲间隔一秒钟)。样本大小取决于器件中供电管脚的数目 (3 个器件 \times (n+1) 个供电管脚)。此项测试符合 JESD22-A114 / C101 标准。

表 12 ESD 特性

符号	参数	条件	封装	等级	最大值 ⁽¹⁾	单位
$V_{\text{ESD(HBM)}}$	静电放电电压 (人体模型)	$T_A = +25^\circ\text{C}$	最大封装	-	8000	V

表 13 LU 特性

符号	参数	条件	最大值 ⁽¹⁾	单位
L_U	静电门锁	$T_A = +25^\circ\text{C}$	-300 / +300	mA

(1) 基于特征结果, 不在生产中测试。此测试项委托第三方测试认证机构测试, 并提供相关报告。

10.3.10 I/O 特性

下表给出的参数, 是在通用工作条件下测试得出。

10.3.10.1 I/O 静态特性

表 14 I/O 静态特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{IL}	低电平输入电压	所有管脚	-	-	$0.3 \times V_{\text{CC IO}}$	V
V_{IH}	高电平输入电压	所有管脚	$0.7 \times V_{\text{CC IO}}$	-	-	V
$V_{\text{hys}}^{(1)}$	施密特触发器迟滞	所有管脚	-	1	-	V
$I_{\text{kg}}^{(1)}$	输入漏电流	所有管脚, $V_{\text{IN}} = V_{\text{SSIO}}$	-	-	2	μA
$R_{\text{PU}}^{(2)}$	上拉电阻	$V_{\text{CCIO}} = 5.0\text{V}$, $V_{\text{IN}} = V_{\text{SSIO}}$	-	35	-	k Ω

$R_{PD}^{(2)}$	下拉电阻	$V_{CCIO} = 5.0V, V_{IN} = V_{CCIO}$	-	35	-	k Ω
$C_{IO}^{(3)}$	IO 管脚电容	-	-	1.5	-	pF

(1) 基于特性分析结果，未在生产中测试。

(2) 设计值，未经生产测试。

(3) 基于设计预估值，实际数值与封装相关，未在生产中测试。

10.3.10.2 输出驱动电流

GPIO (通用输入 / 输出端口) 可支持多达 $\pm 8mA$ 拉电流或灌电流，放宽 V_{OL} / V_{OH} 的条件下，可达到 $\pm 15mA$ 拉电流或灌电流。

在用户应用中，I/O 脚的数目必须保证驱动电流不能超过 10.2 节给出的绝对最大额定值。

10.3.10.3 输出电压

表 15 I/O 输出电压特性

符号	参数	条件	最小值	最大值	单位
$V_{OL}^{(1)}$	IO 输出低电压	$ I_{IO} = 4mA, V_{CCIO} = 5V, D_DS = 0$	-	0.4	V
		$ I_{IO} = 8mA, V_{CCIO} = 5V, D_DS = 1$	-	0.4	
$V_{OH}^{(1)}$	IO 输出高电压	$ I_{IO} = 4mA, V_{CCIO} = 5V, D_DS = 0$	$V_{CCIO}-0.4$	-	V
		$ I_{IO} = 8mA, V_{CCIO} = 5V, D_DS = 1$	$V_{CCIO}-0.4$	-	

(1) 基于特性分析结果，未在生产中测试。

10.3.10.4 I/O 交流特性

下表给出的参数，是在通用工作条件下测试得出。

表 16 I/O 交流特性

符号	参数	条件	最小值	最大值 ⁽¹⁾	单位
$f_{max(IO)}$	最大频率	$C_L = 10pF, V_{CCIO} \geq 4.5V, D_DS = 1$	-	50	MHz
t_f	输出下降时间		-	4.35	ns
t_r	输出上升时间		-	3.18	
$f_{max(IO)}$	最大频率	$C_L = 10pF, V_{CCIO} \geq 4.5V, D_DS = 0$	-	36	MHz
t_f	输出下降时间		-	6.1	ns
t_r	输出上升时间		-	8.7	
t_{do_LH}	Dout 到 SPAD 延时 (由低到高)	$C_L = 10pF, V_{CCIO} \geq 4.5V, D_DS = 1$	-	9.45	
t_{do_HL}	Dout 到 SPAD 延时 (由高到低)		-	7.37	
t_{do_LH}	Dout 到 SPAD 延时 (由低到高)	$C_L = 10pF, V_{CCIO} \geq 4.5V, D_DS = 0$	-	11.65	
t_{do_HL}	Dout 到 SPAD 延时 (由高到低)		-	8.62	

(1) 基于设计仿真结果，未在生产中测试。

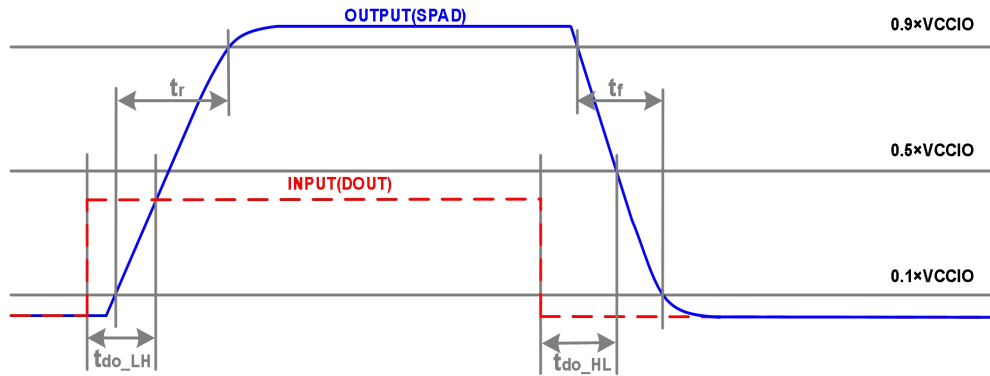


图 6 IO 交流特性定义

10.3.11 LVD 特性

当电源电压跌落某个特定触发点时，LVD (低电压检测) 会发出复位或警告信号，当电源电压超过此触发点时，LVD 会释放复位或警告信号。

表 17 LVDx (x=1, 2) 特性

符号	参数	条件	最小值 ⁽¹⁾	典型值	最大值 ⁽¹⁾	单位
V _{VDx_LVL}	LVD 触发电压	LVDx_SEL[3:0]=4'b0000	1.75	1.8	1.85	V
		LVDx_SEL[3:0]=4'b0001	1.85	1.9	1.95	
		LVDx_SEL[3:0]=4'b0010	1.95	2.0	2.05	
		LVDx_SEL[3:0]=4'b0011	2.15	2.2	2.25	
		LVDx_SEL[3:0]=4'b0100	2.35	2.4	2.45	
		LVDx_SEL[3:0]=4'b0101	2.55	2.6	2.65	
		LVDx_SEL[3:0]=4'b0110	2.75	2.8	2.85	
		LVDx_SEL[3:0]=4'b0111	2.95	3.0	3.05	
		LVDx_SEL[3:0]=4'b1000	3.15	3.2	3.25	
		LVDx_SEL[3:0]=4'b1001	3.35	3.4	3.45	
		LVDx_SEL[3:0]=4'b1010	3.55	3.6	3.65	
		LVDx_SEL[3:0]=4'b1011	3.75	3.8	3.85	
		LVDx_SEL[3:0]=4'b1100	3.95	4.0	4.05	
		LVDx_SEL[3:0]=4'b1101	4.15	4.2	4.25	
		LVDx_SEL[3:0]=4'b1110	4.35	4.4	4.45	
		LVDx_SEL[3:0]=4'b1111	4.45	4.5	4.55	

(1) 设计值，未在生产中测试。

10.3.12 复位管脚特性

XRSTJ 管脚输入驱动使用 CMOS 工艺，内建一个保持开启的上拉电阻 R_{PU} 。

除非特别说明，下表列出的参数是在通用工作条件下测试得出。

表 18 复位管脚特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{IL}	低电平输入电压	$V_{CCIO} = 5.0V$	-	-	$0.3 \times V_{CCIO}$	V
V_{IH}	高电平输入电压	$V_{CCIO} = 5.0V$	$0.7 \times V_{CCIO}$	-	-	V
$V_{hys}^{(1)}$	施密特触发器迟滞	$V_{CCIO} = 5.0V$	-	1	-	V
$R_{PU}^{(2)}$	上拉电阻	$V_{CCIO} = 5.0V, V_{IN} = V_{SSIO}$	-	35	-	k Ω

(1) 基于特性分析结果，未在生产中测试。

(2) 设计值，未在生产中测试。

10.3.13 ADC 特性

除非特别说明，下表列出的参数是在通用工作条件下测试得出。

表 19 ADC 特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{CCA}	主模块电源电压	-	2.4	5.0	5.5	V
V_{REFP_x}	参考电压	-	2.4	5.0	5.5	V
I_{OP}	ADC 功耗	$V_{CCA} = V_{REFP_x} = 5.0V$ $f_{ADC} = 50MHz$	-	3	-	mA
f_{ADC}	ADC 时钟频率	-	1	-	50	MHz
f_s	采样率	12 位分辨率	-	-	2.4	Msps
V_{AIN}	转换电压范围	-	0	-	V_{CCA}	V
R_{AIN}	外部输入阻抗 ⁽²⁾	-	-	-	140	k Ω
C_{ADC}	内部采样和保持电容	-	-	7.5	-	pF
$t_s^{(1)}$	采样时间	-	8	12	512	$1/f_{ADC}$
$t_{PWR_UP}^{(1)}$	上电时间	-	-	-	5	μs
$t_{CONV}^{(1)}$	转换时间	-	-	-	12	$1/f_{ADC}$

(1) 由设计保证，未经生产测试。

(2) 外部输入阻抗详见表 21。

表 20 ADC 精度

符号	参数	条件	典型值	最大值	单位
ET	总绝对误差	$f_{ADC} = 50\text{MHz}$, $V_{CCA} = 5.0\text{V}$, $T_A = 25^\circ\text{C}$	-	± 6	LSB
EO	偏移误差		-	± 3.5	
EG	增益误差		-	± 3	
ED	微分线性误差		-	± 2	
EL	积分线性误差		-	± 4	

表 21 ADC R_{AIN} max 与采样时间关系⁽¹⁾

符号	参数	条件		典型值	最大值 ⁽¹⁾	单位
R _{AIN}	外部输入阻抗	V _{CCA} > 4.0V f _{ADC} = 50MHz	t _S = 3 ADC clock cycles	-	0.3	kΩ
			t _S = 4 ADC clock cycles	-	0.6	
			t _S = 6 ADC clock cycles	-	1.1	
			t _S = 8 ADC clock cycles	-	1.7	
			t _S = 12 ADC clock cycles	-	3	
			t _S = 16 ADC clock cycles	-	4	
			t _S = 24 ADC clock cycles	-	6	
			t _S = 32 ADC clock cycles	-	8	
			t _S = 48 ADC clock cycles	-	12	
			t _S = 64 ADC clock cycles	-	17	
			t _S = 96 ADC clock cycles	-	26	
			t _S = 128 ADC clock cycles	-	34	
			t _S = 192 ADC clock cycles	-	52	
			t _S = 256 ADC clock cycles	-	70	
t _S = 384 ADC clock cycles	-	105				
t _S = 512 ADC clock cycles	-	140				

(1) 以上数据为要求采样误差小于 1/4 LSB 情况下的计算结果。

10.3.14 DAC 特性

除非特别说明，下表列出的参数是在通用工作条件下测试得出。

表 22 DAC 特性

符号	参数	条件	最小值	典型值	最大值	单位
VCCA	DAC 电源电压	-	2.4	5.0	5.5	V
I _{VCCA}	DAC 功耗	VCCA = 5.0V	-	0.1	-	mA
DAC_OUT	DAC 输出范围	内部通道, CL = 50pF	0.0	-	VCCA-1LSB	V
Offset	失调电压	-	-	±2	-	LSB
DNL	微分线性误差	-	-	±2	-	LSB
INL	积分线性误差	-	-	±4	-	LSB
Gain Error	增益误差	VCCA = 5.0V, 输入从 0 ~ 0xFFFF	-	-1	-	LSB
SNDR ⁽¹⁾	信噪失真比	VCCA = 5.0V, 1kHz, 1Msps	-	65	-	dB
T _{setup} ⁽¹⁾	建立时间	VCCA = 5.0V, 输入从 0 跳变到 0xFFFF 建立误差 ≤ ±1LSB, CL = 50pF	-	2	-	μs
t _{PWR_UP} ⁽¹⁾	上电稳定时间	VCCA = 5.0V, 当输入 = 0xFFFF 时输出稳定误差 ≤ ±1LSB, CL = 50pF	-	2	-	μs

(1) 由设计保证，未经生产测试。

10.3.15 CMP 特性

表 23 CMP 特性

符号	参数	条件	最小值	典型值	最大值	单位
VCCA	CMP 电源电压	-	2.4	5.0	5.5	V
I _{VCCA}	CMP 功耗	VCCA = 5.0V	-	50	-	μA
VCM	共模输入电压	-	VSSA	-	VCCA	V
OUTPUT	CMP 输出范围	-	VSSA	-	VCCA	V
Offset ⁽¹⁾	失调电压	-	-	±5	-	mV
V _{HYS} ⁽¹⁾	输入迟滞电压	HYS_SEL=2'b00	-	0	-	mV
		HYS_SEL=2'b01	-	25	-	
		HYS_SEL=2'b10	-	50	-	
		HYS_SEL=2'b11	-	100	-	
T _{PGD} ⁽¹⁾	响应时间	V _{IN+} = V _{IN-} ± 0.1V, CL = 10pF	-	200	-	ns
t _{PWR_UP} ⁽¹⁾	上电稳定时间	V _{IN+} = V _{IN-} ± 0.1V, CL = 10pF	-	1.5	-	μs

(1) 由设计保证，未经生产测试。

10.3.16 调压器特性

调压器输出管脚 VDD 需要接片外电容，推荐容值为 4.7 μ F。

表 24 LDO 特性

符号	参数	条件	最小值 ⁽¹⁾	典型值	最大值 ⁽¹⁾	单位
VCCIO	工作电压	-	2.4	5.0	5.5	V
VDD	输出电压	LDO_SEL[3:0]=4'b0000	1.03	1.04	1.05	V
		LDO_SEL[3:0]=4'b0001	1.05	1.06	1.07	
		LDO_SEL[3:0]=4'b0010	1.07	1.08	1.09	
		LDO_SEL[3:0]=4'b0011	1.09	1.10	1.11	
		LDO_SEL[3:0]=4'b0100	1.11	1.12	1.13	
		LDO_SEL[3:0]=4'b0101	1.13	1.14	1.15	
		LDO_SEL[3:0]=4'b0110	1.15	1.16	1.17	
		LDO_SEL[3:0]=4'b0111	1.17	1.18	1.19	
		LDO_SEL[3:0]=4'b1000	1.19	1.20	1.21	
		LDO_SEL[3:0]=4'b1001	1.21	1.22	1.23	
		LDO_SEL[3:0]=4'b1010	1.23	1.24	1.25	
		LDO_SEL[3:0]=4'b1011	1.25	1.26	1.27	
		LDO_SEL[3:0]=4'b1100	1.27	1.28	1.29	
		LDO_SEL[3:0]=4'b1101	1.29	1.30	1.31	
		LDO_SEL[3:0]=4'b1110	1.31	1.32	1.33	
		LDO_SEL[3:0]=4'b1111	1.33	1.34	1.35	
I _{OUT_MAX}	驱动能力	LDO_DSSEL=1'b0	-	150	-	mA
		LDO_DSSEL=1'b1	-	230	-	
I _{OP}	工作电流	Normal Mode, Loading = 100mA	-	314	-	μ A
I _{OFF}	关闭电流	VCCIO = 5.0V	-		100	nA

(1) 设计值，未在生产中测试。

10.3.17 TS 特性

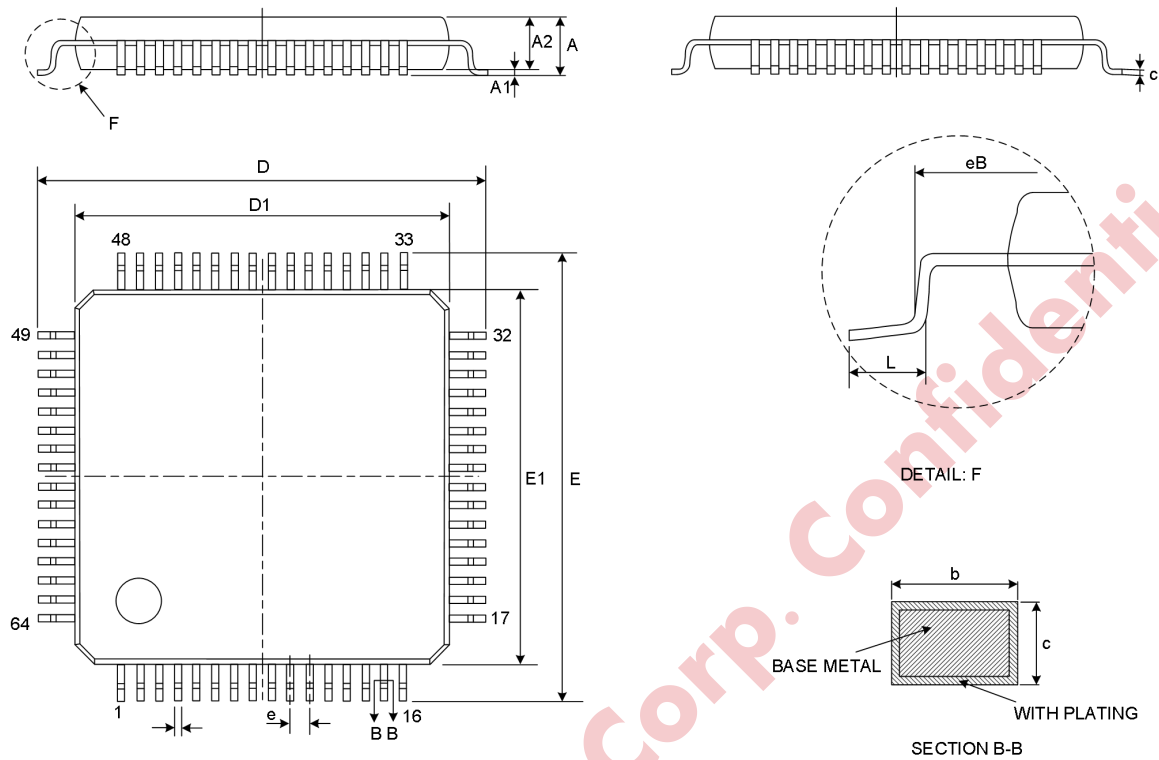
表 25 TS 特性

符号	参数	条件	最小值	典型值	最大值	单位
VCCA	工作电源电压	-	2.4	5.0	5.5	V
TS_OUT ⁽¹⁾	默认常温输出电压	VCCA = 5.0V, TT=25°C	0.9	1.1	1.3	V
TC ⁽¹⁾	温度系数	VCCA = 5.0V	-	3.23	-	mV/°C
I _{OP} ⁽¹⁾	工作电流	VCCA = 5.0V	-	40	-	μA
I _{OFF} ⁽¹⁾	关闭电流	VCCA = 5.0V	-	-	10	nA

(1) 设计值，未在生产中测试。

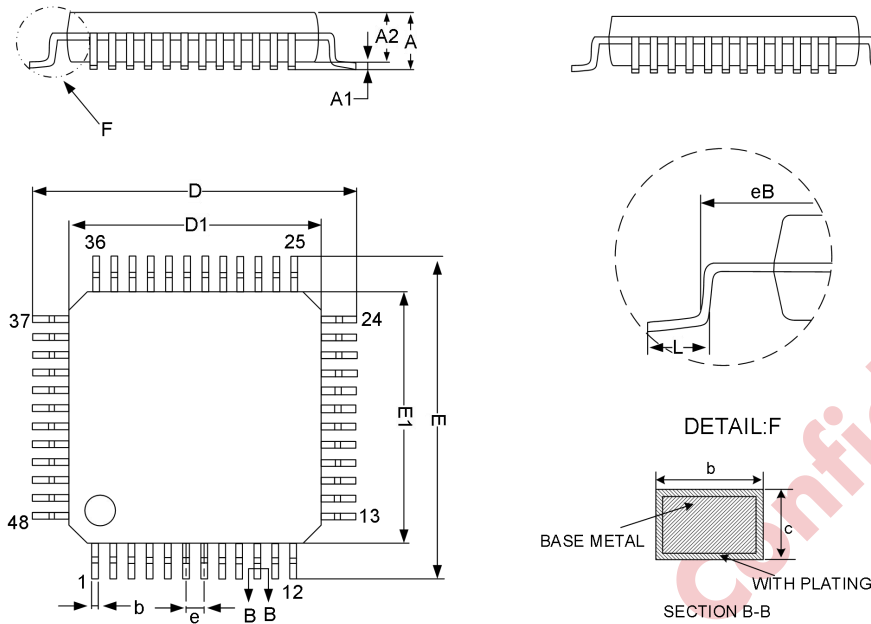
11 封装尺寸

LQFP-64



符号	尺寸 (毫米)			尺寸 (英寸)		
	最小	典型	最大	最小	典型	最大
A	-	-	1.600	-	-	0.063
A1	0.050	-	0.150	0.002	-	0.006
A2	1.350	1.400	1.450	0.053	0.055	0.057
b	0.180	-	0.260	0.007	-	0.010
c	0.130	-	0.170	0.005	-	0.007
D	11.800	12.000	12.200	0.465	0.472	0.480
D1	9.900	10.000	10.100	0.390	0.394	0.398
E	11.800	12.000	12.200	0.465	0.472	0.480
E1	9.900	10.000	10.100	0.390	0.394	0.398
eB	11.050	-	11.250	0.435	-	0.443
e	0.500 (BSC)			0.020 (BSC)		
L	0.450	-	0.750	0.018	-	0.030

LQFP-48



符号	尺寸 (毫米)			尺寸 (英寸)		
	最小	典型	最大	最小	典型	最大
A	-	-	1.600	-	-	0.063
A1	0.050	-	0.150	0.002	-	0.006
A2	1.350	1.400	1.450	0.053	0.055	0.057
b	0.180	-	0.260	0.007	-	0.010
c	0.130	-	0.170	0.005	-	0.007
D	8.800	9.000	9.200	0.346	0.354	0.362
D1	6.900	7.000	7.100	0.272	0.276	0.280
E	8.800	9.000	9.200	0.346	0.354	0.362
E1	6.900	7.000	7.100	0.272	0.276	0.280
eB	8.100	-	8.250	0.319	-	0.325
e	0.500 (BSC)			0.020 (BSC)		
L	0.450	-	0.750	0.018	0.024	0.030
L1	1.000 (REF)			0.039 (REF)		

声明

必易微保留在没有通知的情况下对其产品和产品说明书或规格书进行任何修改的权利。客户下单前请获取最新资料。产品说明书或规格书不用于作任何明示或暗示的保证包括但不限于产品的商用性、目的适用性或不侵犯他人权利等，也不用于作任何授权包括但不限于对必易微或第三方知识产权的授权。使用者在将必易微的产品整合到应用中时或使用过程中应确保该具体应用或使用不侵犯他人知识产权或其他权利，因该应用或使用引起纠纷或造成任何损失的，必易微不承担任何法律责任包括但不限于间接责任或偶然损失责任。未经必易微书面说明，必易微的产品非为用于人体植入器械和提供生命支持系统的目的而设计。本声明替代以往版本的声明。